

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-306660  
(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

G09G 3/36  
G02F 1/133

(21)Application number : 08-097438

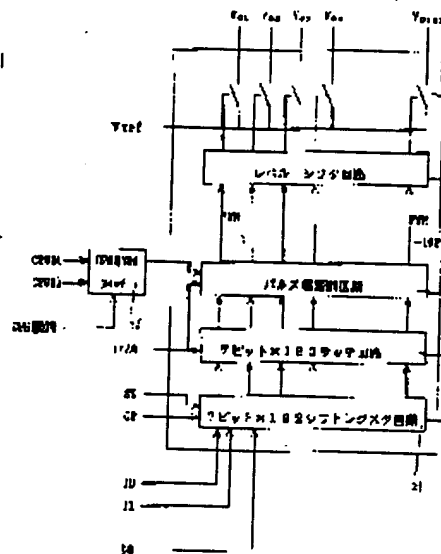
(22)Date of filing : 11.05.1994

(71)Applicant : OKI ELECTRIC IND CO LTD  
(72)Inventor : SUGANO HIROMASA  
TOYAMA HIROSHI  
HAMANO HIROSHI

## (54) GRADATION DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY DEVICE AND GRADATION DRIVING METHOD THEREFOR

(57)Abstract:

PURPOSE: To provide a gradation driving circuit for a liquid crystal display device and a gradation driving method enabling multiple gradation display of  $2n$  levels and allowing the number of external power input lines and analog switches to be reduced so as to be of low cost.  
CONSTITUTION: A gradation driving circuit for a liquid crystal display device performing the  $2n$  level gradation display ( $n$  is an integer of 2 or more) of each display picture element has a shift register circuit 21 for transferring  $n$ -bit gradation data in regular succession, a latching circuit 22 for storing the contents of the shift register circuit 21, and a detecting circuit for detecting the coincidence between the gradation data D0-D6 stored in the latching circuit 22 and the gradation control clock number CPG. The gradation driving circuit is further provided with a pulse width modulating circuit 23 for converting pulse width into the width corresponding to the output of the detecting circuit, an analog switch 25 into which the output of the pulse width modulating circuit 23 is inputted as an on-off control switching signal so as to be controlled by this switching signal, with gradation reference voltage inputted to one side and with capacitive load connected to the other side, and a gradation control clock changeover switch 26 having gradation control clocks CPG disposed in two systems and selecting between two system gradation control clocks CPG.



## LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

Best Available Copy

**THIS PAGE BLANK (u8ptu)**

(11)特許出願公開番号

特開平7-306660

(43)公開日 平成7年(1995)11月21日

(51) Int.Cl.<sup>6</sup>

識別記号

厅内整理番号

FI

技術表示箇所

G O 9 G 3/36

G O 2 F 1/133

5 7 5

審査請求 未請求 請求項の数4 OL (全 14 頁)

(21)出願番号 特願平6-97438

(22)出願日 平成6年(1994)5月11日

(71)出題人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 菅野 裕雅

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72) 發明者 遠山 広

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(72)発明者 濱野 広

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

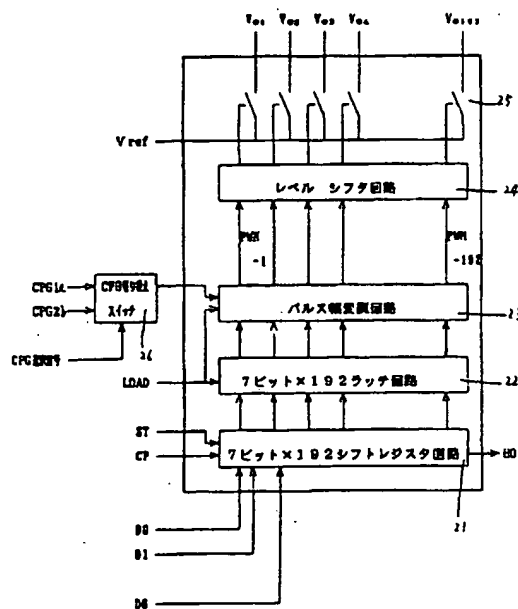
(74) 代理人 弁理士 清水 守 (外 1 名)

(54) 【発明の名称】 液晶表示装置の階調駆動回路及びその階調駆動方法

(57) 【要約】

【目的】 2・レベルの多階調な表示を行うことができ、かつ外部電源入力ライン数及びアナログスイッチ数の削減が可能な、低コストの液晶表示装置の階調駆動回路及びその階調駆動方法を提供する。

【構成】 各表示画素を2・レベル(nは2以上の整数)の階調表示を行う液晶表示装置の階調駆動回路において、nビットの階調データを順次転送するシフトレジスタ回路21と、このシフトレジスタ回路21の内容を格納するラッチ回路22と、このラッチ回路22に格納された階調データD0～D6と、階調制御クロック数CPGとの一致を検出する検出回路と、この検出回路の出力に応じた幅のパルスに変換するパルス幅変調回路23と、このパルス幅変調回路23の出力が、オン/オフを制御するスイッチング信号として入力され、このスイッチング信号で制御されるとともに、一方に階調基準電圧を入力し、他方に容量性負荷が接続されるアナログスイッチ25と、前記階調制御クロックCPGを2系統配置し、該2系統の階調制御クロックCPGを選択する階調制御クロック切り替えスイッチ26を具備する。



## 【特許請求の範囲】

【請求項1】 各表示画素を2<sup>n</sup>レベル（nは2以上の整数）の階調表示を行う液晶表示装置の階調駆動回路において、（a）nビットの階調データを順次転送するシフトレジスタ回路と、（b）該シフトレジスタ回路の内容を格納するラッチ回路と、（c）該ラッチ回路に格納された階調データと、階調制御クロック数との一致を検出する検出回路と、（d）該検出回路の出力に応じた幅のパルスに変換するパルス幅変調回路と、（e）該パルス幅変調回路の出力が、オン／オフを制御するスイッチング信号として入力され、該スイッチング信号で制御されるとともに、一方に階調基準電圧を入力し、他方に容量性負荷が接続されるアナログスイッチ回路と、（f）前記階調制御クロックを2系統配置し、該2系統の階調制御クロックを選択する階調制御クロック切り替えスイッチを具備することを特徴とする液晶表示装置の階調駆動回路。

【請求項2】 各表示画素を2<sup>n</sup>レベル（nは2以上の整数）の階調表示を行う液晶表示装置の階調駆動回路において、（a）nビットの階調データを順次転送するシフトレジスタ回路と、（b）該シフトレジスタ回路の内容を格納するラッチ回路と、（c）該ラッチ回路に格納された階調データと、階調制御クロック数との一致を検出する検出回路と、（d）該検出回路の出力に応じた幅のパルスに変換するパルス幅変調回路と、（e）該パルス幅変調回路の出力が、オン／オフを制御するスイッチング信号として入力され、該スイッチング信号で制御されるとともに、一方に階調基準電圧を入力し、他方に容量性負荷が接続されるアナログスイッチ回路と、（f）前記階調基準電圧を2系統配置し、該2系統の階調基準電圧を選択する階調基準電圧切り替えスイッチを具備することを特徴とする液晶表示装置の階調駆動回路。

【請求項3】 各表示画素を2<sup>n</sup>レベル（nは2以上の整数）の階調表示を行う液晶表示装置の階調駆動方法において、（a）nビットの階調データをシフトレジスタ回路により順次転送し、（b）前記シフトレジスタ回路の内容をラッチ回路に格納し、（c）該ラッチ回路に格納された階調データと、階調制御クロック数との一致を検出回路で検出し、（d）パルス幅変調回路により前記検出回路の出力に応じた幅のパルスに変換し、（e）該パルス幅変調回路の出力が、オン／オフを制御するスイッチング信号として入力され、該スイッチング信号で制御されるアナログスイッチ回路を設け、該アナログスイッチ回路の一方に階調基準電圧を入力し、他方に容量性負荷を接続し、（f）前記階調制御クロックが2系統接続される階調制御クロック切り替えスイッチを配置し、該切り替えスイッチへ階調制御クロック選択信号を入力して、1走査ライン毎に交互に選択し、かつ1フレーム毎に各走査ラインが前フレームとは異なる階調制御クロックを選択することを特徴とする液晶表示装置の階調駆

動方法。

【請求項4】 各表示画素を2<sup>n</sup>レベル（nは2以上の整数）の階調表示を行う液晶表示装置の階調駆動方法において、（a）nビットの階調データをシフトレジスタ回路により順次転送し、（b）前記シフトレジスタ回路の内容をラッチ回路に格納し、（c）該ラッチ回路に格納された階調データと、階調制御クロック数との一致を検出回路で検出し、（d）パルス幅変調回路により前記検出回路の出力に応じた幅のパルスに変換し、（e）該パルス幅変調回路の出力が、オン／オフを制御するスイッチング信号として入力され、該スイッチング信号で制御されるアナログスイッチ回路を設け、該アナログスイッチ回路の一方に階調基準電圧を入力し、他方に容量性負荷を接続し、（f）前記階調基準電圧が2系統接続される階調基準電圧切り替えスイッチを配置し、該切り替えスイッチへ階調基準電圧選択信号を入力して、外部入力の階調基準電圧が1フレーム毎に1階調電圧以内で変調することを特徴とする液晶表示装置の階調駆動方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置（液晶ディスプレイ）において、中間調表示を可能とする階調駆動回路とその階調駆動方法に関する。

【0002】

【従来の技術】従来、フラットディスプレイの一種である液晶表示装置の回路としては、図11に示されたものがよく知られている。図11において、複数のX電極線（X<sub>1</sub>, X<sub>2</sub>, …）1と、Y電極線（Y<sub>1</sub>, Y<sub>2</sub>, …）2とを互いに交差させ、各X電極線とY電極線の交点に、TFT（薄膜トランジスタ）等のアクティブ素子3を設けるとともに、マトリクス状に液晶表示素子4が配置される。

【0003】Y電極線2はデータ信号線ともいわれ、各液晶表示素子4の表示データ信号を出力する表示信号回路5に接続される。また、X電極線1は走査信号線とも言われ、順次走査信号を出力する走査信号回路6に接続される。アクティブ素子3の駆動は、X電極線1の順次走査駆動を行う線順次駆動法が用いられ、X電極線1の走査に同期して、X電極線1上のアクティブ素子3をオン状態にし、この時、表示信号回路5から表示データ信号を出力し、前記オン状態のアクティブ素子3を介して、該当する液晶表示素子4にデータ信号の書き込みを行う。

【0004】なお、液晶表示素子4には必要に応じて蓄積容量7を設け、液晶表示素子4の電荷保持特性を改善する試みもなされている。ここでは、前記液晶表示素子4に書き込むデータ信号電圧の振幅値を可変にすることで、液晶表示素子4への書き込み電圧もしくは電荷量を可変制御し、液晶の光透過率を可変制御することができる。この方法は、電圧変調駆動法といわれ、液晶表示装

置において中間調表示を行う代表的な駆動方法である。

【0005】この電圧変調駆動法により、階調表示を可能とする液晶駆動回路としては、例えば、図12に示されている〔液晶駆動用ドライバ、HD66310T（日立製作所製）〕が知られている。図12の液晶駆動回路は、8階調の表示を可能とするもので、液晶画素に対応した3ビットの表示データD0j、D1j、D2jが、クロック信号CL2に同期して第1のラッチ回路11に入力される。第1のラッチ回路11に入力された表示データ信号は、その後、クロック信号CL1に同期して第2のラッチ回路12に入力される。そして、第2のラッチ回路12の出力は電圧セクタ回路13に入力される。

【0006】この電圧セクタ回路13は、デコーダ回路などで構成されるものであり、例えば、3ビットの入力信号に基づいて、 $2^3 = 8$ 本の出力線のいずれか1本の出力線上にデータ出力を行うものである。この回路構成では、前記電圧セクタ回路13の出力は、次段のP-MOS、N-MOS、FETなどを有するアナログスイッチ14<sub>1</sub>～14<sub>8</sub>のいずれか一つを選択してオン状態とし、アナログスイッチ14<sub>1</sub>～14<sub>8</sub>に接続される8本の電源入力ラインV0～V7のいずれか一つを、

ドライバ出力Y<sub>0</sub>に出力するように動作するものである。なお、15はインバータであり、電圧セクタ回路13の出力を論理反転して、アナログスイッチ14<sub>1</sub>～14<sub>8</sub>のN-MOSに出力するようにしている。

【0007】また、前記したHD66310T（日立製作所製）の液晶駆動回路は、図11の駆動回路を160個（160ドット分）備えている。更に、液晶表示装置は1水平走査線の画素数に応じた数の液晶ドライバ回路を備えている。そして、前記第1のラッチ回路11から第2のラッチ回路12への転送は、1水平走査分の表示データが第1のラッチ回路11に入力された後に行われる。

【0008】

【発明が解決しようとする課題】しかしながら、上記した従来の液晶表示装置の駆動回路においては、

（1）多階調化をはかる場合、階調再現相当数の外部電源入力が必要とし、更に、駆動回路の集積化（IC化）を行うと、IC内部の電源入力ラインの配線系の占める面積が増大し、経済的でなくなる。

【0009】（2）P-MOS、N-MOS、FET等で構成されるアナログスイッチの数も階調再現相当数必要であり、集積化（IC化）を考えた場合には、経済的ではない。

などの問題点があった。本発明は、上記問題点を除去し、 $2^n$ レベルの多階調な表示を行うことができ、かつ外部電源入力ライン数及びアナログスイッチ数の削減が可能で、低コストの液晶表示装置の階調駆動回路及びその階調駆動方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、上記目的を達成するために、

（A）各表示画素を $2^n$ レベル（ $n$ は2以上の整数）の階調表示を行う液晶表示装置の階調駆動回路において、

（1） $n$ ビットの階調データを順次転送するシフトレジスタ回路と、このシフトレジスタ回路の内容を格納するラッチ回路と、このラッチ回路に格納された階調データと、階調制御クロック数との一致を検出する検出回路と、この検出回路の出力に応じた幅のパルスに変換するパルス幅変調回路と、このパルス幅変調回路の出力が、オン/オフを制御するスイッチング信号として入力され、このスイッチング信号で制御されるとともに、一方に階調基準電圧を入力し、他方に容量性負荷が接続されるアナログスイッチ回路と、前記階調制御クロックを2系統配置し、この2系統の階調制御クロックを選択する階調制御クロック切り替えスイッチを設けるようにしたものである。

【0011】（2） $n$ ビットの階調データを順次転送するシフトレジスタ回路と、このシフトレジスタ回路の内容を格納するラッチ回路と、このラッチ回路に格納された階調データと、階調制御クロック数との一致を検出する検出回路と、この検出回路の出力に応じた幅のパルスに変換するパルス幅変調回路と、このパルス幅変調回路の出力が、オン/オフを制御するスイッチング信号として入力され、このスイッチング信号で制御されるとともに、一方に階調基準電圧を入力し、他方に容量性負荷が接続されるアナログスイッチ回路と、前記階調基準電圧を2系統配置し、この2系統の階調基準電圧を選択する階調基準電圧切り替えスイッチを設けるようにしたものである。

【0012】（B）各表示画素を $2^n$ レベル（ $n$ は2以上の整数）の階調表示を行う液晶表示装置の階調駆動方法において、（1） $n$ ビットの階調データをシフトレジスタ回路により順次転送し、前記シフトレジスタ回路の内容をラッチ回路に格納し、このラッチ回路に格納された階調データと、階調制御クロック数との一致を検出回路で検出し、パルス幅変調回路により前記検出回路の出力に応じた幅のパルスに変換し、このパルス幅変調回路の出力が、オン/オフを制御するスイッチング信号として入力され、このスイッチング信号で制御されるアナログスイッチ回路を設け、このアナログスイッチ回路の一方に階調基準電圧を入力し、他方に容量性負荷を接続し、前記階調制御クロックが2系統接続される階調制御クロック切り替えスイッチを配置し、この切り替えスイッチへ階調制御クロック選択信号を入力して、1走査ライン毎に交互に選択し、かつ1フレーム毎に各走査ラインが前フレームとは異なる階調制御クロックを選択するようにしたものである。

【0013】（2） $n$ ビットの階調データをシフトレジスタ回路により順次転送し、前記シフトレジスタ回路の

内容をラッチ回路に格納し、このラッチ回路に格納された階調データと、階調制御クロック数との一致を検出回路で検出し、パルス幅変調回路により前記検出回路の出力に応じた幅のパルスに変換し、このパルス幅変調回路の出力が、オン/オフを制御するスイッチング信号として入力され、このスイッチング信号で制御されるアナログスイッチ回路を設け、このアナログスイッチ回路の一方に階調基準電圧を入力し、他方に容量性負荷を接続し、前記階調基準電圧が2系統接続される階調基準電圧切り替えスイッチを配置し、該切り替えスイッチへ階調基準電圧選択信号を入力して、外部入力の階調基準電圧が1フレーム毎に1階調電圧以内で変調するようにしたものである。

【0014】

【作用】本発明によれば、上記したように、2系統の階調制御クロックを設け、同一の階調データで2種類の階調電圧を選択することにより、2種類の階調電圧で表示される輝度の平均輝度を得られるため、階調データより多くの表示色が生成可能になる。階調制御クロックの選択条件としては、1走査ライン毎に交互選択し、1フレーム毎に前フレームとは異なる条件で駆動し、フリッカ等を抑制し、疑似階調により表示色を増加することができる。

【0015】また、2系統の階調基準電圧を設け、同一の階調データで2種類の階調電圧を選択し、フレーム毎に1階調電圧以内で変調することにより、階調データより多くの表示色が生成可能になり、表示色を増加することができる。

【0016】

【実施例】以下、本発明の実施例を図面を参照しながら詳細に説明する。図1は本発明の第1実施例を示す液晶表示装置の階調駆動回路のブロック図、図2は本発明の第1実施例を示す液晶表示装置の階調駆動回路に入力する階調基準電圧波形とパルス幅制御クロックを示す図であり、図2(a)は走査時間に対する階調基準電圧を示す図、図2(b)は表示データを示す図、図2(c)はLOAD信号を示す図、図2(d)はパルス幅変調信号a(PWMA)を示す図、図2(e)はパルス幅制御クロック信号a(CPGA)を示す図、図2(f)はパルス幅変調信号b(PWMB)を示す図、図2(g)はパルス幅制御クロック信号b(CPGB)を示す図、図3は本発明の第1実施例を示す液晶表示装置の階調駆動回路の階調データと階調基準電圧とを示す図、図4は本発明の第1実施例を示す液晶表示装置の階調駆動回路の動作タイミングチャートであり、図4(a)は垂直信号を示す図、図4(b)はフレーム選択信号を示す図、図4(c)は水平信号(ST)を示す図、図4(d)は水平選択信号を示す図、図4(e)はシフトレジスタ回路のデータを示す図、図4(f)はLOAD信号を示す図、図4(g)はラッチ回路のデータを示す図、図4(h)

はCPGA信号を示す図、図4(i)はCPGB信号を示す図、図4(j)はCPG選択信号を示す図、図4(k)はPWM信号を示す図、図4(l)はデータライン電圧を示す図である。

【0017】これらの図に示すように、例えば、21はシフトレジスタ回路であり、このシフトレジスタ回路21は、7ビットの階調データD0~D6と、水平同期信号であるスタート信号STと、データシフトクロックCPとが入力される、例えば7ビット×192のシフトレジスタ回路である。22はラッチ回路であり、このラッチ回路22は、シフトレジスタ回路21の出力が入力される、例えば、7ビット×192のラッチ回路で、LOAD信号でシフトレジスタ回路21のD0~D6出力がラッチ回路22に格納される。

【0018】ラッチ回路22の出力は、パルス幅変調回路23に入力される。このパルス幅変調回路23には、セット信号として前記LOAD信号が、リセット信号としてCPG切り替えスイッチ26から出力されるパルス幅制御クロックCPGとが入力される。つまり、パルス幅制御クロックCPGは、2種類のクロックCPGaとCPGbを、CPG切り替えスイッチ26により選択して、パルス幅変調回路23に入力する。

【0019】パルス幅変調回路23の出力信号は、レベルシフタ回路24を介して、アナログスイッチ25のオン/オフ制御信号として供給される。アナログスイッチ25の一方には、階段状電圧に設定された階調基準電圧Vrefが供給され、もう一方より出力Vo。(m=1~192)を得る。図1及び図4を用いて、垂直同期信号のnフレーム目とn+1フレーム目の動作の説明を行う。各フレームは奇数、偶数フレームに分離しフレーム選択信号を生成する。各フレーム内は奇数、偶数ラインに分離し、水平選択信号を生成する。ライン数はY電極数に相当する。

【0020】まず、シフトレジスタ回路21にスタート信号STとして、n-1ライン目の水平同期信号が入力されると、Hn-1ライン目の階調データD0~D6は、データシフトクロックCPにより、そのシフトレジスタ回路21内を順次転送されていく。192画素分のデータ転送が終了すると、シフトエンドパルスH0が、そのシフトレジスタ回路21より出力され、次段の階調駆動回路(図示せず)へスタートパルスとして入力される。転送するデータ数に応じて、同様にして階調駆動回路がカスケード接続される。

【0021】以上のようにして、n-1ライン目のデータ転送が完了すると、LOAD信号により、n-1ライン目のデータがラッチ回路22に格納される。次に、スタート信号STとして、nライン目の水平同期信号が、シフトレジスタ回路21に入力されると、nライン目の階調駆動データ信号が、そのシフトレジスタ回路21内を順次転送され、以下同様の動作を繰り返す。

【0022】パルス幅変調回路23は、図5に示すように、階調データD0～D6はLOAD信号でラッチ回路22に格納されると、格納されたデータはそのラッチ回路22の出力Q0～Q6より一致回路23-2に入力される。同時に、LOAD信号は、パルス幅変調回路23を構成するフリップ・フロップ回路23-3をセットする。

【0023】クロック数カウンタ23-1は、パルス幅制御クロックCPGの数をカウントし、データ出力g0～g6を得る。ラッチ回路22の出力Q0～Q6のデータと、クロック数カウンタ23-1の出力g0～g6のデータと、Qmとgm(m=0～6)のデータが対になるように、EXNOR回路に入力して得られる信号と、パルス幅制御クロックCPGとをAND回路に入力して、一致回路23-2の出力を得る。一致回路23-2で得られた出力は、フリップフロップ回路23-3の出力をリセットする。

【0024】出力はLOAD信号でセットされ、階調データと階調制御クロックCPGの数の一致を示す出力信号によりリセットされる。以上のようにして、階調データに応じたパルス幅のパルス幅変調回路出力PWM-mを得る。その出力PWM-mは、図1に示すように、レベルシフタ回路24を介して、レベル変換された後、アナログスイッチ25に供給され、そのアナログスイッチ25のオン/オフを制御する。アナログスイッチ25の一方には階調基準電圧Vrefが供給される。この階調基準電圧Vrefは、水平同期信号周期の例えば、ランプ状電圧波形を有する信号である。

【0025】すると、アナログスイッチ25の出力Voは、前記パルス幅変調回路23の出力PWM-mが“H”の期間だけ階調基準電圧Vrefと同じ電圧となり、前記パルス幅変調回路23の出力PWM-mが“L”の期間は、ハイインピーダンス状態となる。以上のように、アナログスイッチ25はパルス幅変調回路23の出力PWM-mにより、オン/オフ制御し、パルス幅のオン時間に対応した出力電圧を生成する。

【0026】本発明の階調制御クロックCPGa、CPGbの動作を、図2と図4を用いて説明する。図2の階調基準電圧Vrefは256ステップの階段状電圧であり、1ステップの時間はTS時間で表す。階段状電圧の1走査時間内の時間配分は、V0電圧～V255電圧をパルス変調により選択するサンプリング期間と、高階調レベル(V255電圧)を保持するホールド期間と、低階調レベル(V0)で保持するリセット期間からなる。例えば、階調駆動回路の動作タイミングをnフレーム、Hn-1ライン目とし階調データ“7FH”がラッチ回路22にメモリされている。

【0027】パルス幅制御クロックCPGa、CPGbは、図4に示すフレーム選択信号と水平選択信号のEX・OR論理条件で決定し、nフレーム、Hn-1ライン

目はCPGbが選択される。また、各フレーム毎に奇数、偶数ラインのCPG条件が異なり、n+1フレーム、Hn-1ライン目ではCPGaが選択される。パルス幅制御クロックCPGa、CPGbのクロック周期TCPGは2×TSに設定し、クロック数は128とする。CPGaとCPGbの時間関係(TD)はCPGbが階調基準電圧の1ステップTs時間、CPGaに対して遅延(TD=TS)している。

【0028】また、パルス幅変調回路23の出力PWM-bは、LOAD信号でセットされ、階調データ“7FH”と階調制御クロックCPGbとの一致条件(7FHは、10進数で128クロック目と一致する)によりリセットされる。PWM-bが“H”の期間はアナログスイッチ25の出力は階調基準電圧Vrefを追随し、リセット時の電圧V255に到達後、ハイインピーダンス状態になる。

【0029】一方、n+1フレーム、Hn-1ライン目は階調制御クロックCPGaを選択する。階調データはnフレーム目と同様の“7FH”とすると、パルス幅変調回路23の出力PWM-aは、PWM-bに対して階調基準電圧Vrefの1ステップ時間(TS)分、早めにリセットされるため、アナログスイッチ25の出力は、リセット時の電圧V254に到達後、ハイインピーダンス状態になる。

【0030】図3に階調データと選択時の階調基準電圧を示す。CPGa、CPGbともに階調データの増加に従い、2ステップ毎に階調基準電圧を選択する。CPGa、CPGbの選択は走査ライン毎、フレーム毎に交互に行われるため、奇数フレーム、偶数フレームともに同一の階調データ、例えば“7F”の場合、フレーム毎にV254電圧と、V255電圧が交互に液晶に印加される。また、連続的に液晶に印加すれば、V254電圧とV255電圧で得られる輝度の中間的な輝度(V254+V255)/2が得られる。

【0031】このように、階調制御クロックCPGa、CPGbが2系統接続されるCPG切り替えスイッチ26を配置し、このCPG切り替えスイッチ26へ階調制御クロック選択信号を入力して、1走査ライン毎に交互に選択し、かつ1フレーム毎に各走査ラインが前フレームとは異なる階調制御クロックを選択することができる。

【0032】次に、本発明の第2の実施例について説明する。図6は本発明の第2実施例を示す液晶表示装置の階調駆動回路のブロック図、図7は本発明の第2実施例を示す液晶表示装置の階調駆動回路に入力する階調基準電圧波形図、図8は本発明の第2実施例を示す液晶表示装置の階調駆動回路の階調データと階調基準電圧とを示す図、図9は本発明の第2実施例を示す液晶表示装置の階調駆動回路の動作タイミングチャートであり、図9(a)は垂直信号を示す図、図9(b)はフレーム選択

信号を示す図、図9(c)は水平信号(ST)を示す図、図9(d)はシフトレジスタ回路のデータを示す図、図9(e)はLOAD信号を示す図、図9(f)はラッチ回路のデータを示す図、図9(g)はCPG信号を示す図、図9(h)はPWM信号を示す図、図9(i)はデータバス電圧を示す図である。

【0033】これらの図に示すように、31はシフトレジスタ回路であり、このシフトレジスタ回路31は、7ビットの階調データD0~D6と、水平同期信号であるスタート信号STと、データシフトクロックCPとが入力される、例えば、7ビット×192のシフトレジスタである。32はラッチ回路であり、このラッチ回路32はシフトレジスタ回路31の出力が入力される、例えば、7ビット×192のラッチ回路であり、LOAD信号でシフトレジスタ回路31の出力D0~D6がラッチ回路32に格納される。

【0034】ラッチ回路32の出力は、パルス幅変調回路33に入力される。パルス幅変調回路33には、セット信号として前記LOAD信号と、リセット信号を生成するパルス幅制御クロックCPGとが入力される。パルス幅変調回路33の出力信号は、レベルシフト回路34を介して、アナログスイッチ35のオン/オフ制御信号として供給される。アナログスイッチ35の一方には、2種類の階段状電圧Vref1とVref2を、階調基準電圧切り替えスイッチ36により選択して入力し、もう一方より出力Vo。(m=1~192)を得る。

【0035】図9を用いて垂直同期信号のnフレーム目とn+1フレーム目の動作の説明を行う。各フレームは奇数、偶数フレームに分離しフレーム選択信号を生成する。まず、シフトレジスタ回路31にスタート信号STとして、n-1ライン目の水平同期信号(TS)が入力されると、Hn-1ライン目の階調データD0~D6は、データシフトクロックCPにより、このシフトレジスタ回路31内を順次転送されていく。192画面分のデータ転送が終了すると、シフトエンドパルスH0がこのシフトレジスタ回路31より出力され、次段の階調駆動回路(図示せず)へスタートパルスとして入力される。転送するデータ数に応じて、同様にして階調駆動回路がカスケード接続される。

【0036】以上のようにして、n-1ライン目のデータ転送が完了すると、LOAD信号によりn-1ライン目のデータがラッチ回路32に格納される。次に、スタート信号STとして、nライン目の水平同期信号(ST)がシフトレジスタ回路31に入力されると、nライン目の階調駆動データ信号が、そのシフトレジスタ回路31内を順次転送され、以下同様の動作を繰り返す。

【0037】パルス幅変調回路33は、前記した図5に示した回路と同様であり、ここでは説明は省略する。このようにして、このパルス幅変調回路33は、階調データに応じたパルス幅のパルス幅変調回路出力PWM-n

を得る。その出力PWM-nは、図6に示すように、レベルシフト回路34を介してレベル変換された後、アナログスイッチ35に供給され、そのアナログスイッチ35のオン/オフを制御する。アナログスイッチ35の一方には階調基準電圧Vrefが供給される。前記階調基準電圧Vrefは、水平同期信号周期の例えばランプ状電圧波形を有する信号である。

【0038】すると、アナログスイッチ35の出力Vo.は、前記出力PWM-nが“H”の期間だけ階調基準電圧Vrefと同じ電圧となり、出力PWM-nが“L”の期間は、ハイインピーダンス状態となる。以上のように、アナログスイッチ35はパルス幅変調回路33の出力PWM-nによりオン/オフ制御し、パルス幅のオン時間に対応した出力電圧を生成する。

【0039】本発明の第2実施例の液晶表示装置の階調の動作を図7、図8及び図9を用いて説明する。図7に示すように、階調基準電圧VrefはD/A変換器を用いた128ステップの階段状電圧で構成されている。各電圧の1階調に相当する振幅は、Va1、1ステップ時間をTsで表す。階調基準電圧は走査フレーム毎に各階調データに応じて、階段状の電圧レベルを1階調電圧以内で可変している。図7において、例えば奇数フレームの電圧レベルとして、V0、V2~V252、V254を設定し、偶数フレームの電圧レベルとして、V1、V3~V253、V255が設定されている。

【0040】階調データと階調基準電圧の関係を図8に表す。階調データが16進数で00Hの場合、奇数フレームにおいては階段状電圧V0を選択し、偶数フレームにおいては階段状電圧V1を選択する。以下同様に各階調データにおいて、奇数フレームと偶数フレームで階段状電圧レベルに差電圧Voffsetを設けてある。階調基準電圧は、図7に示すように、フレーム選択信号を階調基準電圧切り替えスイッチ36に入力し、1フレーム毎に奇数階調基準電圧(Vref1)、偶数階調基準電圧(Vref2)を選択する。

【0041】図9において、例えばnフレーム、Hn-1ライン目の階調データ“00H”により、パルス幅変調回路33の出力PWMは階調制御クロックの1クロック目でリセットし、アナログスイッチ35をオン/オフ制御する。アナログスイッチ35の入力電圧は、奇数フレームの階調基準電圧Vref1が選択され、PWMが“H”の期間はアナログスイッチ35の出力は階調基準電圧Vref1を追従し、リセット時の電圧V0に到達している。

【0042】また、n+1フレーム、Hn-1目のアナログスイッチ35の入力電圧は、偶数フレームの階調基準電圧Vref2が選択され、その出力はリセット時の電圧V1に到達している。奇数フレーム、偶数フレームともに同一の階調データであるが、フレーム毎に、V0電圧とV1電圧を交互に液晶に印加する。また、連続的に液



品に印加すれば、 $V_0$  電圧と  $V_1$  電圧で得られる輝度の中間的な輝度  $(V_0 + V_1) / 2$  が得られる。

【0043】このように、階調基準電圧  $V_{ref}$  が2系統接続される階調基準電圧切り替えスイッチ36を配置し、この切り替えスイッチへ階調基準電圧選択信号を入力して、外部入力の階調基準電圧が1フレーム毎に1階調電圧以内で変調するようにする。ところで、アクティブマトリックス型液晶表示装置は、図10に示す回路構成である。すなわち、51は本発明のデータ信号回路であり、前記した階調駆動回路で構成されている。52は走査信号回路、41はデータ信号回路51の出力に接続されるデータバスライン、42は走査信号回路52の出力に接続される走査バスライン、43はデータバスライン41と走査バスライン42との交差部に設けられる、例えば、 $a-Si$  薄膜トランジスタ（以下、TFTと称す）、44はその一方がTFT43と接続される液晶セルで、その液晶セル44の他方は対向電極46と接続され、電気的に、例えば0.1PF程度のコンデンサとなっている。

【0044】45は液晶セル44（コンデンサ）と並列に設けられた蓄積容量で、例えば、0.5PFのコンデンサである。また、前記データバスライン41及び走査バスライン42は、液晶を介して対向電極46と対向配置しており、データバスライン41と対向電極46間に寄生容量47が形成され、データバスライン41と走査バスライン42の交差部に寄生容量48が形成される。

【0045】このデータバスライン41の容量Cは、寄生容量47、48等で決定され、階調駆動回路の負荷容量となり、階調基準電圧  $V_{ref}$  がアナログスイッチ35（図6参照）を介して、前記データバスライン41の負荷容量を充電する。そのデータバスライン41の電位はデータバスライン41の容量Cとアナログスイッチ35のオン抵抗  $R_{on}$  からなる時定数  $(\tau = CR)$  で決定し、アナログスイッチ35の出力が確定している時間は階調基準電圧  $V_{ref}$  を追従する。アナログスイッチ35の出力がハイインピーダンス状態となると、充電された負荷容量で決まる電位となる。すなわち、ハイインピーダンス状態となる直前の電位に保持されることになる。

【0046】データバスライン41の負荷容量に充電された電荷は、TFT43を介して最終的に液晶セル44、蓄積容量45に印加され、負荷容量と同電位になる。また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能であり、それらを本発明の範囲から排除するものではない。

【0047】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏することができる。

(1) 2系統の階調制御クロックを設け、同一の階調データで2種類の階調電圧を選択することにより、2種類の階調電圧で表示される輝度の平均輝度が得られるた

め、階調データより多くの表示色が生成可能になる。階調制御クロックの選択条件としては、1走査ライン毎に交互選択し、1フレーム毎に前フレームとは異なる条件で駆動し、フリッカ等を抑制し、疑似階調により表示色を増加することができる。

【0048】(2) 2系統の階調基準電圧を設け、同一の階調データで2種類の階調電圧を選択し、フレーム毎に1階調電圧以内で変調することにより、階調データより多くの表示色が生成可能になり、表示色を増加することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す液晶表示装置の階調駆動回路のブロック図である。

【図2】本発明の第1実施例を示す液晶表示装置の階調駆動回路に入力する階調基準電圧波形とパルス幅制御クロックを示す図である。

【図3】本発明の第1実施例を示す液晶表示装置の階調駆動回路の階調データと階調基準電圧とを示す図である。

【図4】本発明の第1実施例を示す液晶表示装置の階調駆動回路の動作タイミングチャートである。

【図5】本発明の第1実施例を示す液晶表示装置の階調駆動回路のパルス幅変調回路の構成図である。

【図6】本発明の第2実施例を示す液晶表示装置の階調駆動回路のブロック図である。

【図7】本発明の第2実施例を示す液晶表示装置の階調駆動回路に入力する階調基準電圧波形図である。

【図8】本発明の第2実施例を示す液晶表示装置の階調駆動回路の階調データと階調基準電圧とを示す図である。

【図9】本発明の第2実施例を示す液晶表示装置の階調駆動回路の動作タイミングチャートである。

【図10】本発明の実施例を示す液晶表示パネルの回路図である。

【図11】従来の液晶表示パネルの回路図である。

【図12】従来の液晶表示装置の階調駆動回路図である。

【符号の説明】

- 21, 31 シフトレジスタ回路
- 22, 32 ラッチ回路
- 23, 33 パルス幅変調回路
- 23-1 クロック数カウンタ
- 23-2 一致回路
- 23-3 フリップフロップ回路
- 24, 34 レベルシフト回路
- 25, 35 アナログスイッチ
- 26 CPG切り替えスイッチ
- 36 階調基準電圧切り替えスイッチ
- 41 データバスライン
- 42 走査バスライン

(8)

特開平7-306660

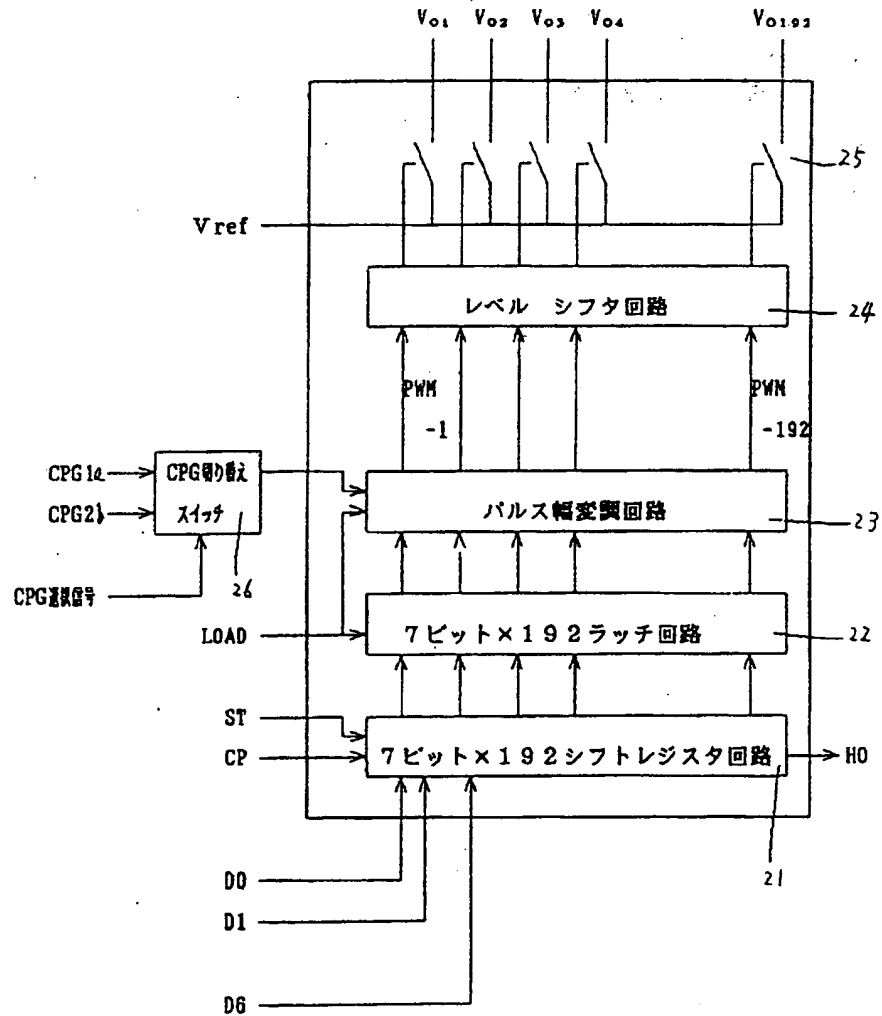
13

14

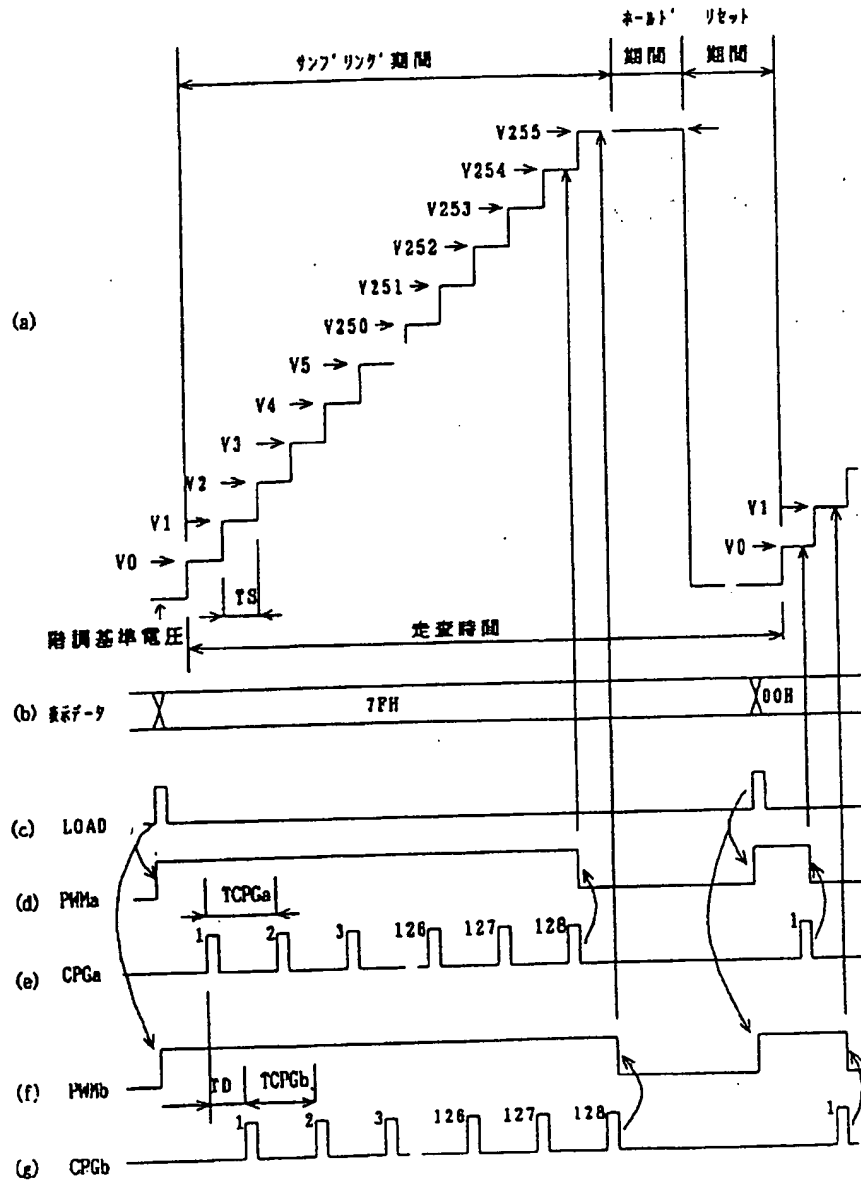
43 a-Si 薄膜トランジスタ (TFT)  
 44 液晶セル  
 45 蓄積容量  
 46 対向電極

47, 48 寄生容量  
 51 データ信号回路  
 52 走査信号回路

【図1】



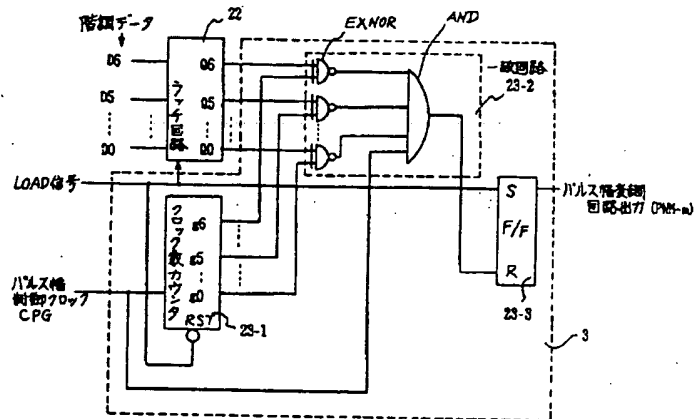
【図2】



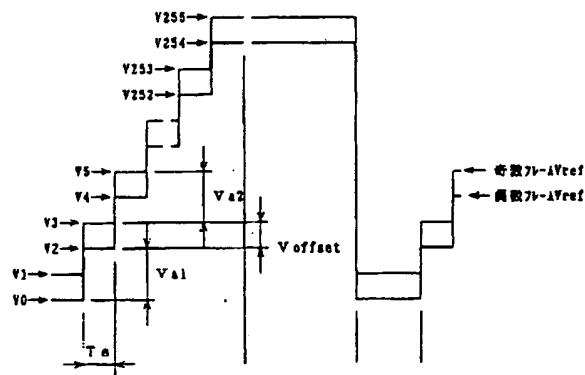
【図3】

階調データ (16進数)	CPG番号の割り当て	
	CPGa	CPGb
0 0	V 0	V 1
0 1	V 2	V 3
0 2	V 4	V 5
...	...	...
7 EH	V252	V253
7 EH	V254	V255

【図5】



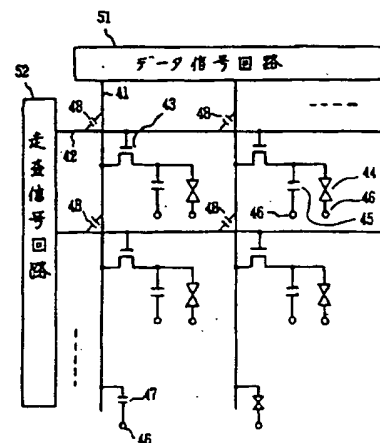
【図7】



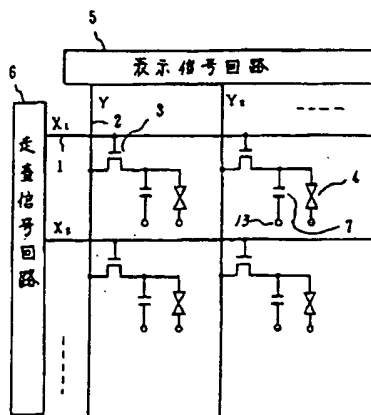
【図8】

階調データ (16進数)	奇数 7レ-1	偶数 7レ-1
0 0	V 0	V 1
0 1	V 2	V 3
0 2	V 4	V 5
...	...	...
7 EH	V252	V253
7 EH	V254	V255

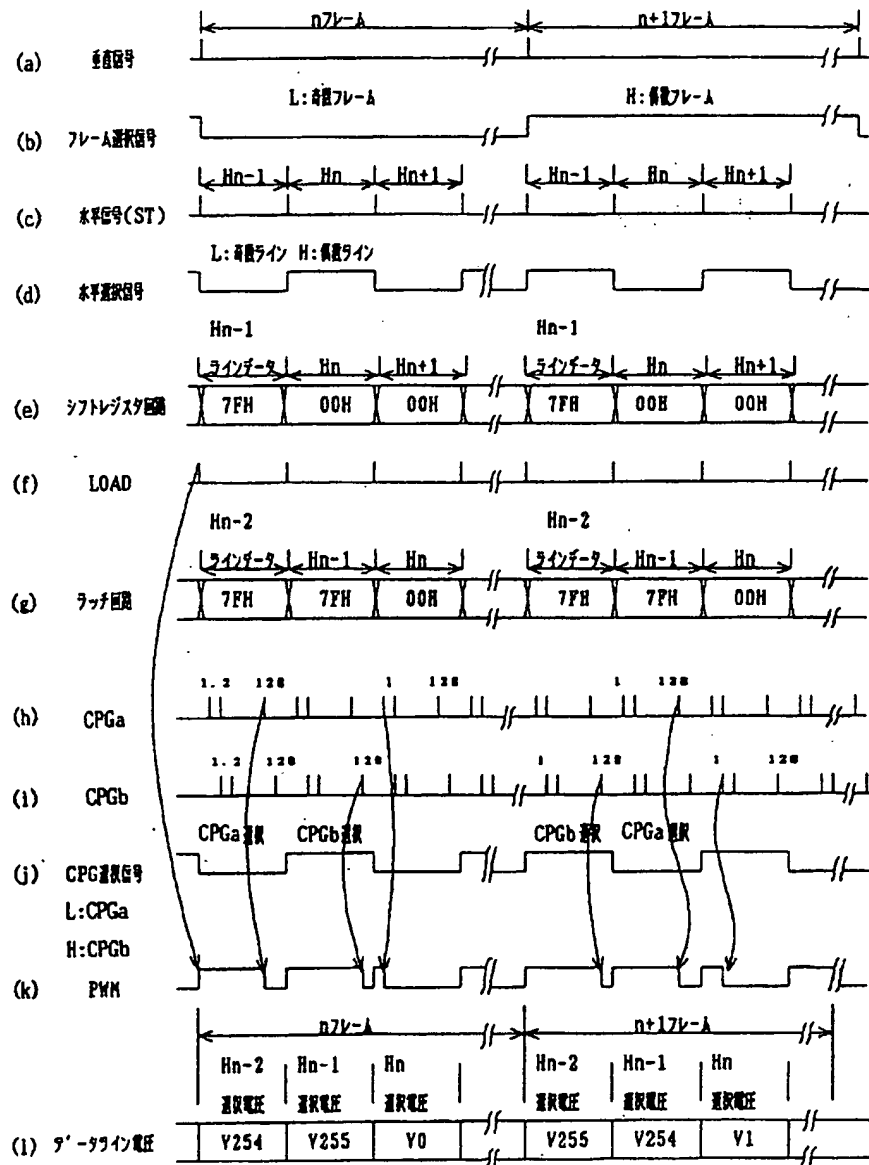
【図10】



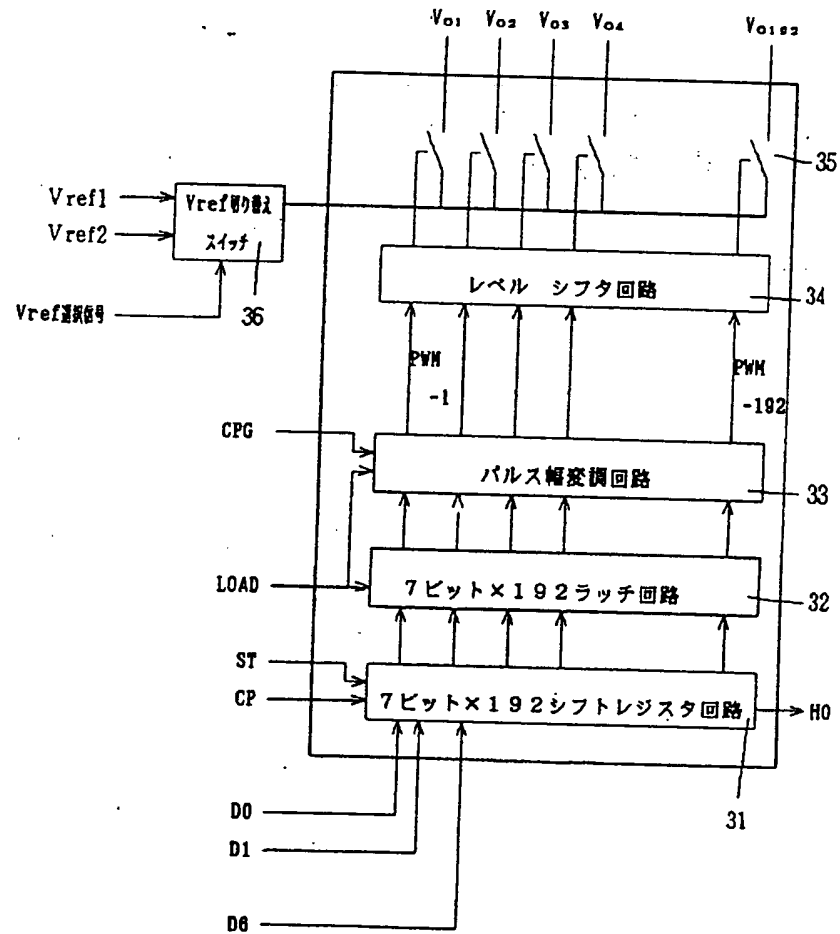
【図11】



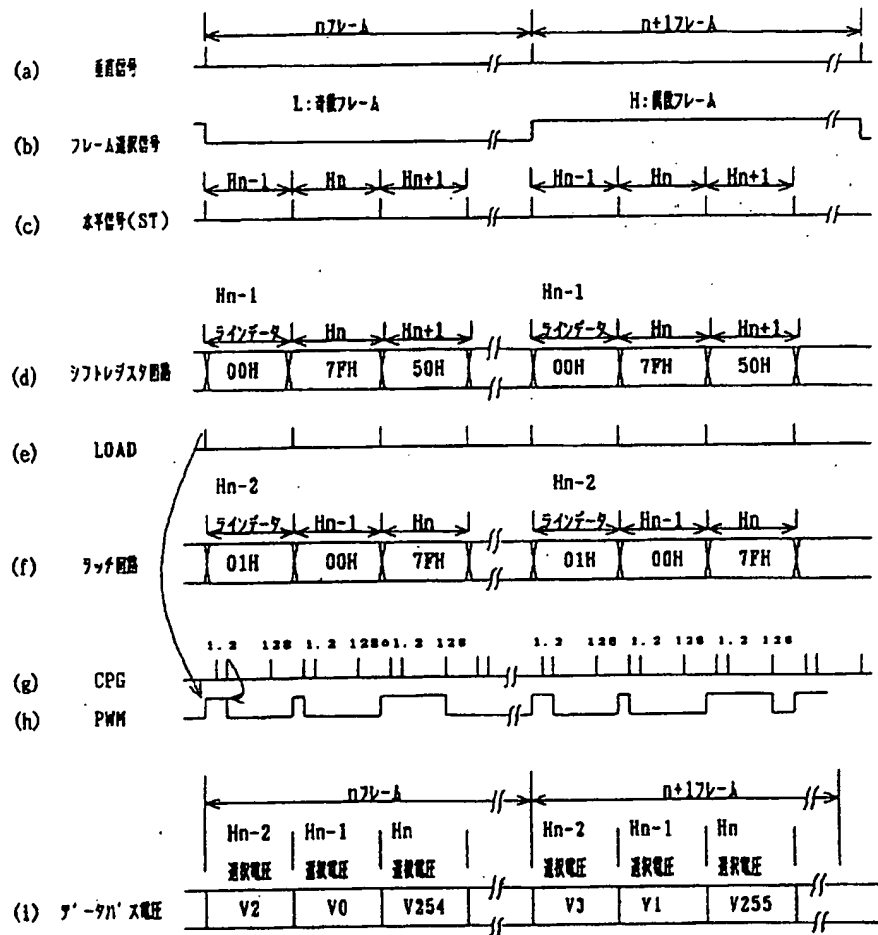
【図4】



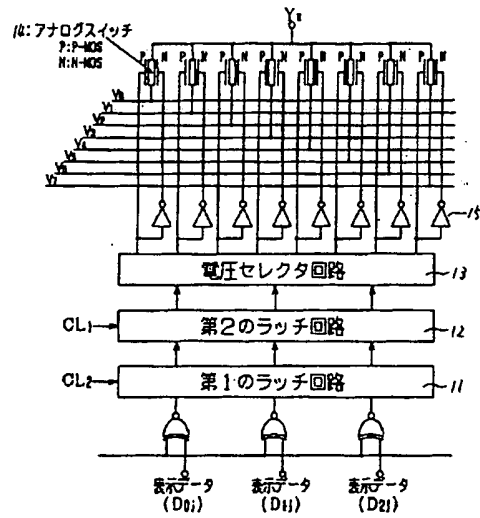
【図6】



【図9】



【図12】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

**THIS PAGE BLANK (USPTO)**